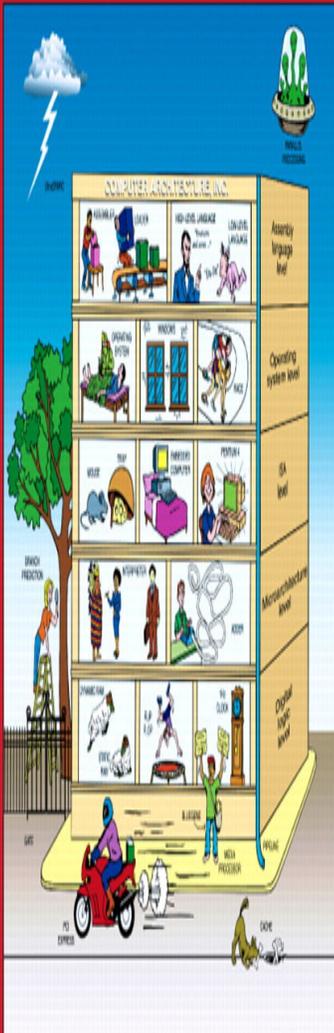


Fifth Edition
**STRUCTURED COMPUTER
ORGANIZATION**



Universidade Federal de Campina Grande
Departamento de Sistemas e Computação
Curso de Bacharelado em Ciência da Computação

Organização e Arquitetura de Computadores I

Circuitos Sequenciais (Exercícios)

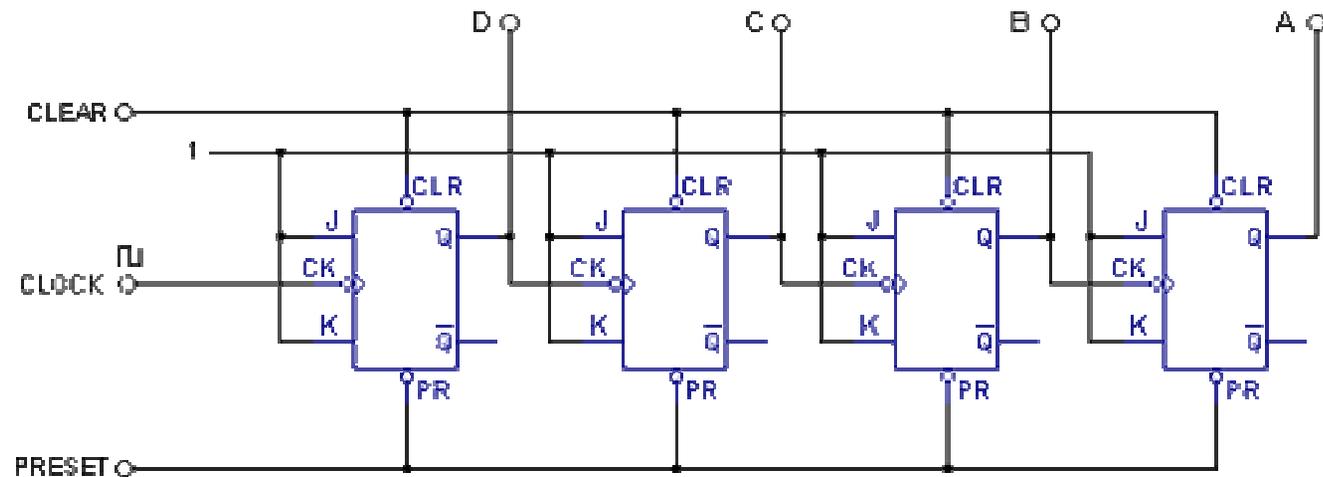
Prof^a Joseana Macêdo Fachine Régis de Araújo
joseana@computacao.ufcg.edu.br

Carga Horária: 60 horas



Exercício

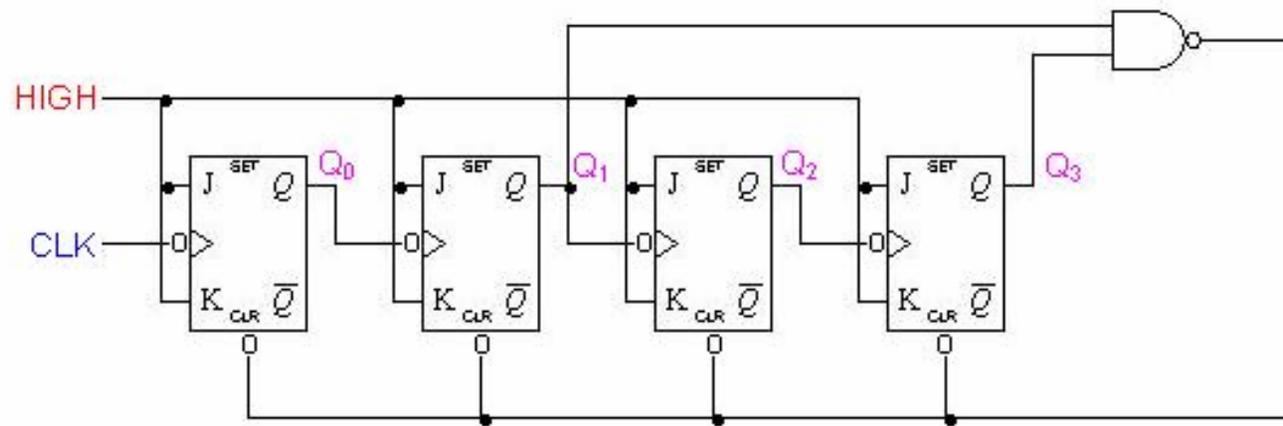
- ❑ Descreva o funcionamento do circuito apresentado abaixo (nome, operação realizada e diagrama de tempo).





Exercício

- Qual o circuito apresentado na figura?





Exercício

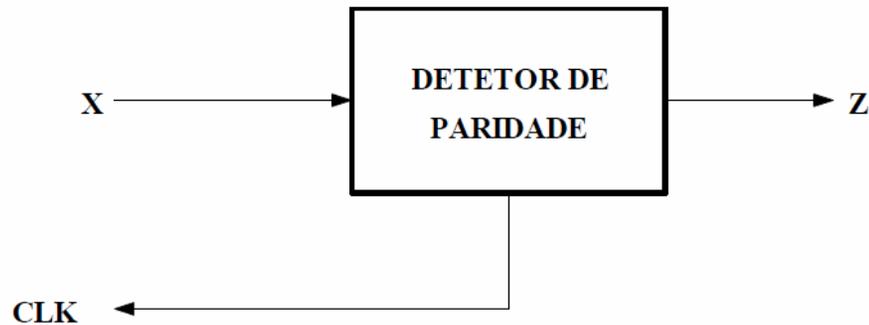
- Desenhe a máquina de estados finitos para o problema descrito pela tabela-verdade a seguir.

| Estado atual (Q_1Q_0) | Saída (S_1S_0) | Estado Seguinte (D_1D_0) |
|---------------------------|--------------------|------------------------------|
| 00 | 00 | 01 |
| 01 | 01 | 10 |
| 10 | 10 | 11 |
| 11 | 11 | 00 |



Exercício

- Obter a máquina de estados finitos de um circuito que detecte o erro de paridade de um sinal serial. Considere paridade par.



Exemplo de X:

| | | | | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|-------|----------------|-----|
| X | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | . . . | nº ímpar de 1s | → 1 |
| Z | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | . . . | nº par de 1s | → 0 |