

**Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Unidade Acadêmica de Sistemas e Computação
Curso de Bacharelado em Ciência da Computação**

Organização e Arquitetura de Computadores

Circuitos Lógicos Sequenciais (Parte I)

Profa. Joseana Macêdo Fachine Régis de Araújo
joseana@computacao.ufcg.edu.br

Carga Horária: 60 horas



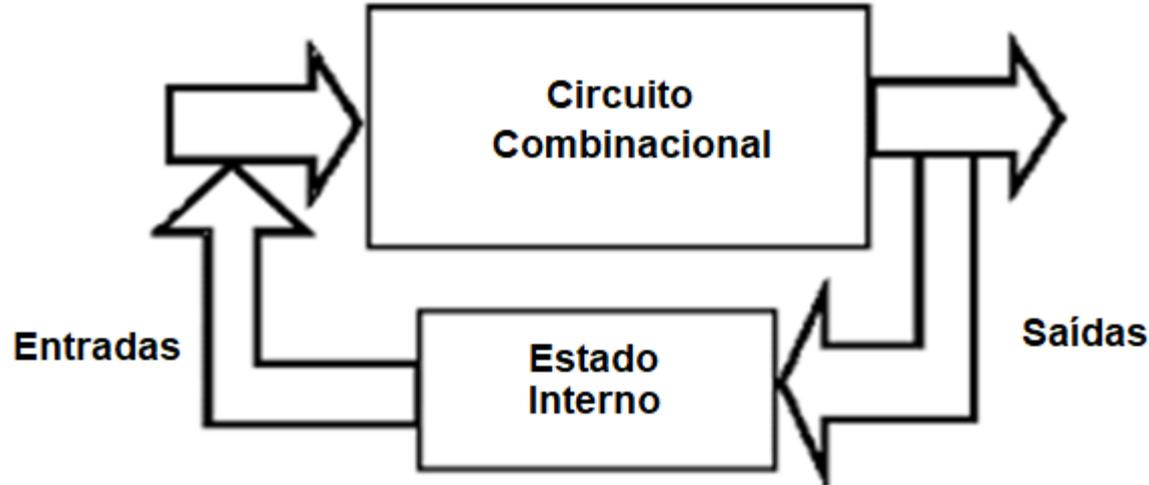
Tópicos

Circuitos Lógicos Sequenciais

- Latches
- Flip-flops

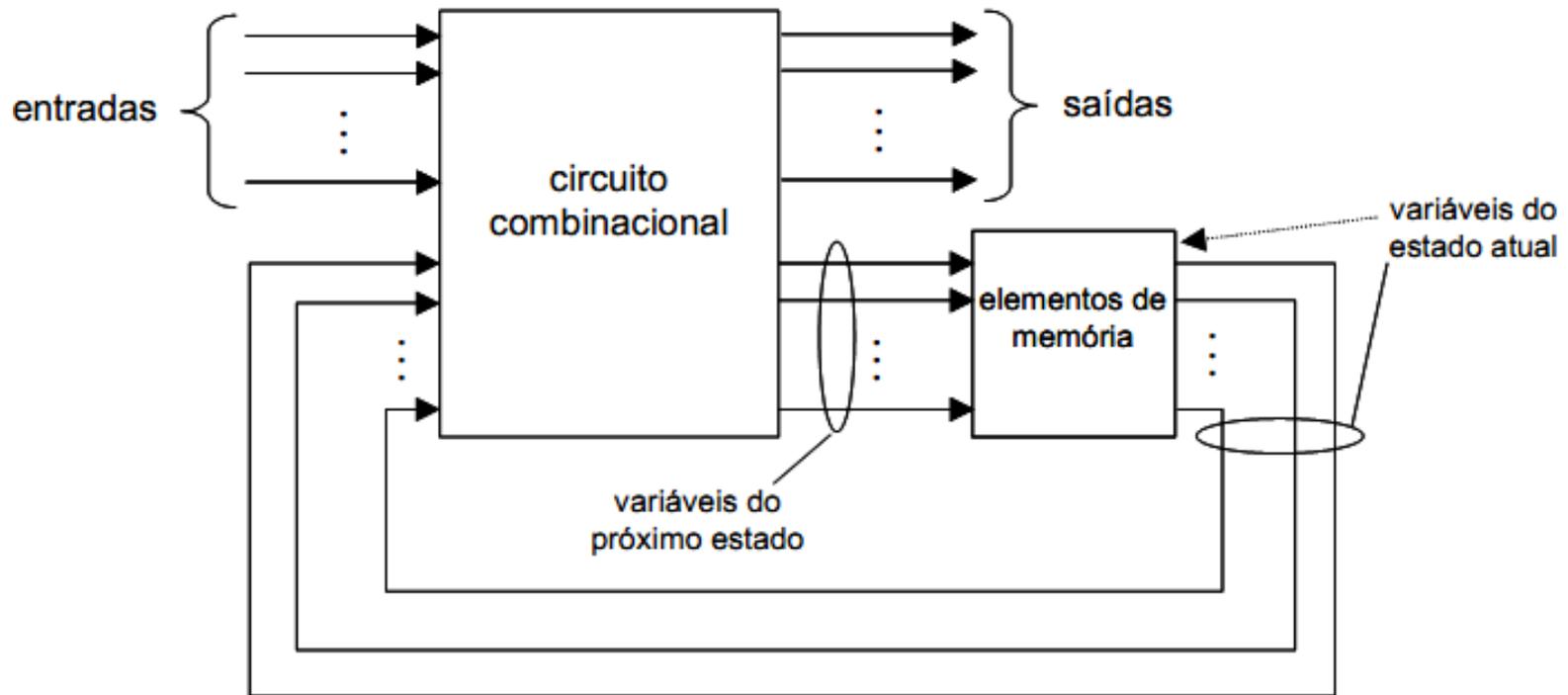
Projeto de Circuitos Sequenciais

Circuitos Sequenciais - a saída é função dos valores de entrada correntes e dos valores de entrada no instante anterior.



Projeto de Circuitos Sequenciais

Circuitos Sequenciais



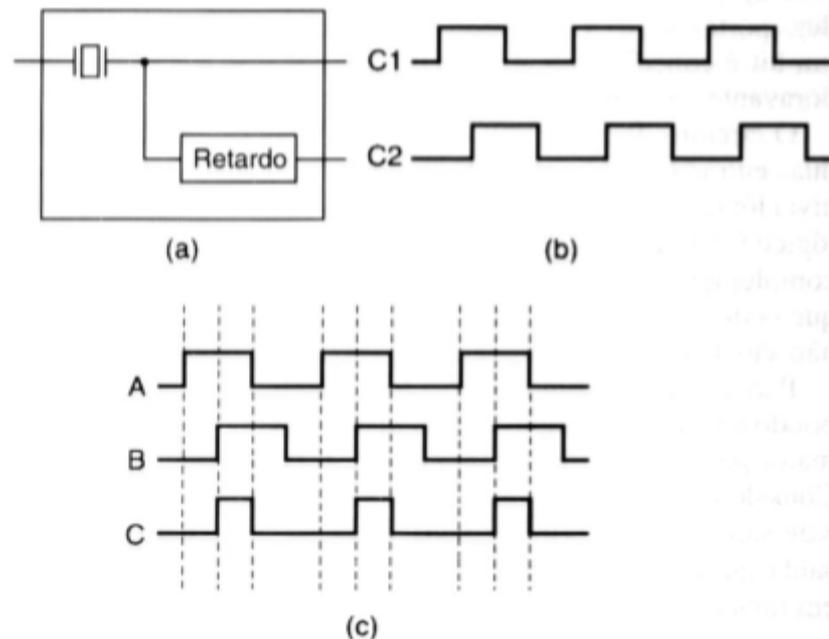
Projeto de Circuitos Sequenciais

- Todo o desenvolvimento computacional e de comunicações digitais está suportado pela concepção de memória.
- Um computador depende da existência de osciladores, registradores, contadores e toda uma lógica que depende, fundamentalmente, da existência de conhecimento sobre os estados anteriores do sistema em função do tempo, ou seja, memória.
- O conceito de tempo está associado a pulsos de um relógio (**clock**), que vai alternar estados entre 0 e 1, com uma frequência pré-determinada, e será utilizado na propagação temporal da informação.

Projeto de Circuitos Sequenciais

- Em um computador, muitos eventos podem ocorrer durante um único período do clock.
- Se os eventos precisam acontecer em determinada ordem, o período do clock precisa ser subdividido em subperíodos (ou subciclos).

- Geração do sinal de clock.
- O diagrama de tempo para o clock.
- Geração de um sinal de clock assimétrico.



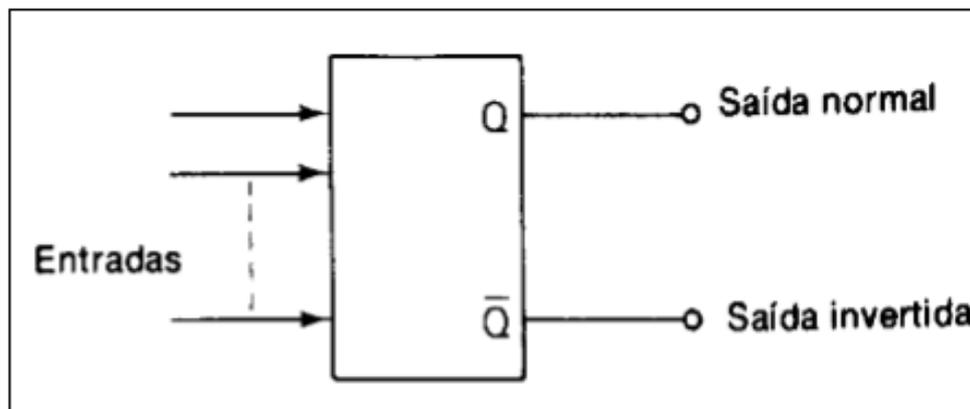
Projeto de Circuitos Sequenciais

- Existem tipos distintos de memória, porém, a lógica de todas elas está associada a circuitos oscilantes, chamados de **flip-flop** (e **latches**), que podem alternar sua saída (estados flip ou flop) em função dos parâmetros de entrada e do tempo decorrido.
- Diferença entre **flip-flop** e **latch**: O **flip-flop** é sensível à transição do sinal de clock, enquanto que o **latch** é sensível ao nível desse mesmo sinal.

Projeto de Circuitos Sequenciais

Características gerais dos Flip-flops e Latches

- ❑ Muitos apresentam duas saídas complementares chamadas
 - Saída Q - saída normal
 - Saída \bar{Q} - saída invertida.
- ❑ FF (ou do Latch) no estado alto (1) ou baixo (0) condição de Q .
- ❑ Estados possíveis: $Q = 0$ e $Q = 1$ e $Q = 1$ e $\bar{Q} = 0$
- ❑ Entradas do FF (ou do Latch) - chaveamento entre os dois estados.



O sinal de entrada causa a ida de um FF para um dado estado, o FF permanecerá neste estado mesmo depois deste sinal de entrada ter terminado. Esta é a característica de memória.

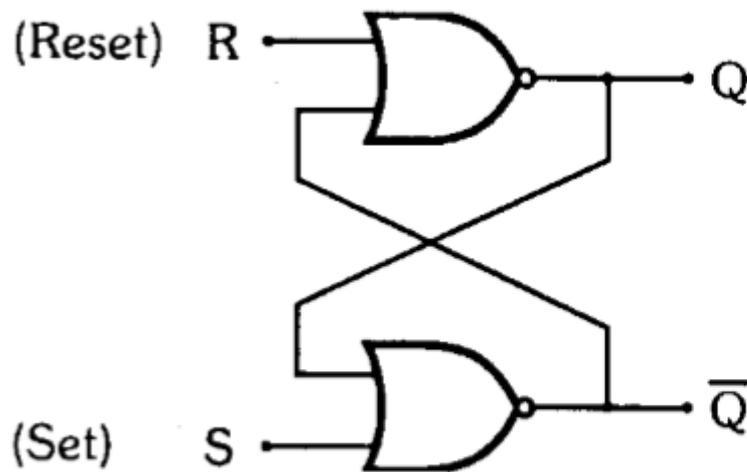
Projeto de Circuitos Sequenciais

Latches

- Para criar uma memória de 1 bit, é necessário um circuito que de alguma maneira possa lembrar valores anteriores que lhe foram fornecidos como entrada.

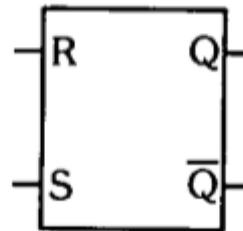
Projeto de Circuitos Sequenciais

Latch SR (formado por portas NOR)



R	S	Q_f
0	0	Q_a
0	1	1
1	0	0
1	1	*

* Erro Lógico



Esse circuito “lembra” qual das duas entradas, S ou R, esteve pela última vez em 1. Usando essa propriedade, é possível construir memórias de computador.

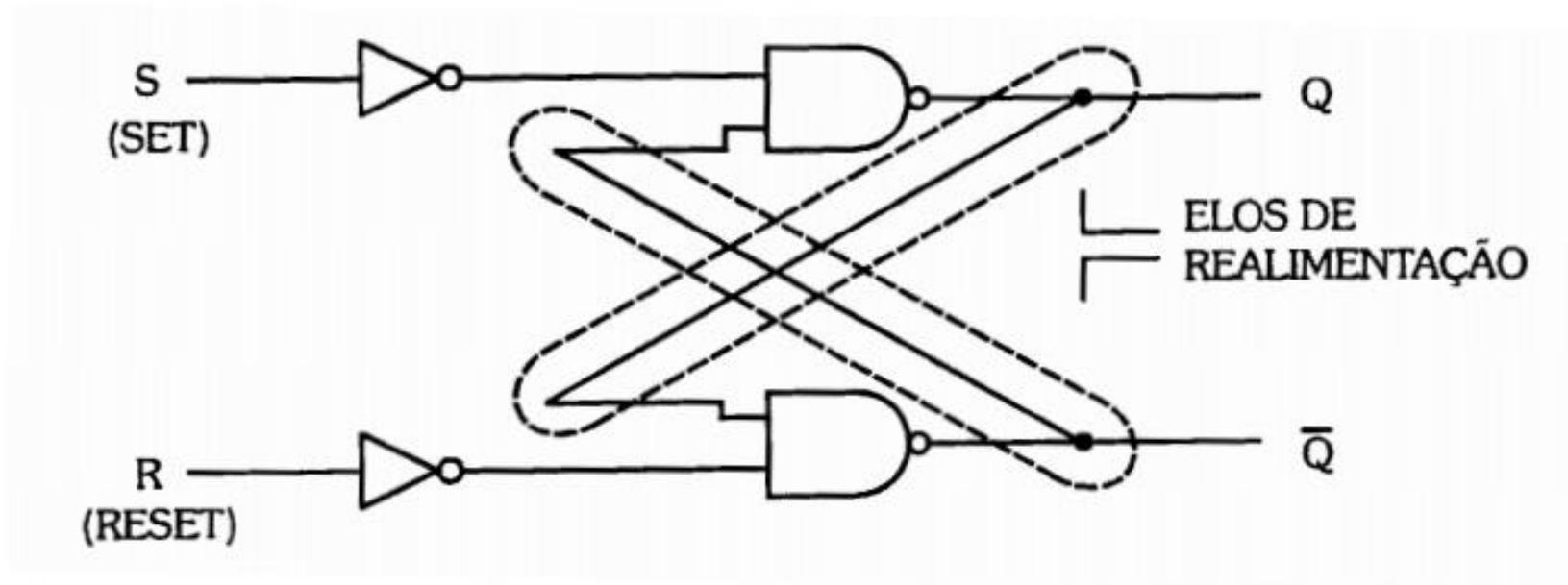
Projeto de Circuitos Sequenciais

Latch SR – Tabela Verdade Completa

Entradas Atuais		Saídas Atuais		Saídas Futuras		Comentários	
S(t)	R(t)	Q(t)	$\bar{Q}(t)$	Q(t + Δt)	$\bar{Q}(t + \Delta t)$		
0	0	0	1	0	1	saídas futuras = saídas atuais	
		1	0	1	0		
0	1	0	1	0	1	saída futura Q=0 independente de seu valor atual	Região de operação
		1	0	0	1		
1	0	0	1	1	0	saída futura Q=1 independente de seu valor atual	
		1	0	1	0		
1	1	0	1	0	0	erro lógico (não permitido) $Q(t + \Delta t) = \bar{Q}(t + \Delta t)$	
		1	0	0	0		

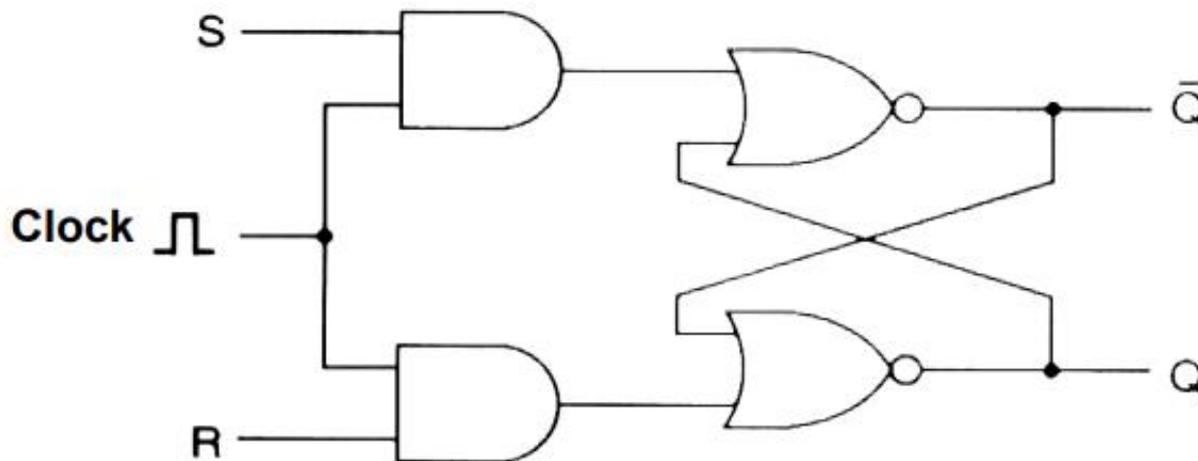
Projeto de Circuitos Sequenciais

Latch SR (formado por portas NAND e NOT)



Projeto de Circuitos Sequenciais

Latch SR com Clock - Utilizado quando é conveniente fazer com que o latch só troque de estado em instantes determinados.



Clock=0, o latch não muda de estado.

Clock=1, o latch passa a ser sensível às variações de S e de R.

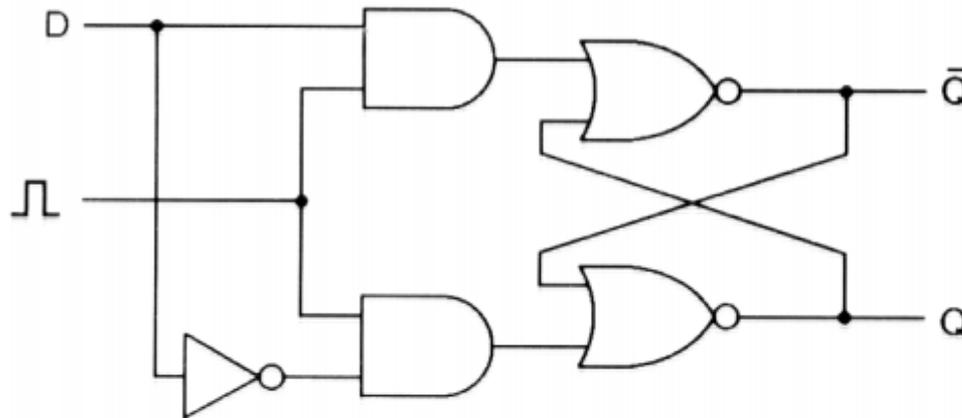
Projeto de Circuitos Sequenciais

Latch D com Clock - Implementa a memória de 1 bit. O valor armazenado estará sempre disponível em Q.

- Para carregar na memória o valor corrente de D, basta colocar um pulso positivo na linha de clock.
- Resolve a questão da ambiguidade do Latch SR (quando $S=R=1$) – não permite que esta possibilidade ocorra.

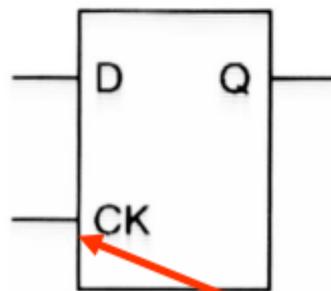
Projeto de Circuitos Sequenciais

Latch D com Clock

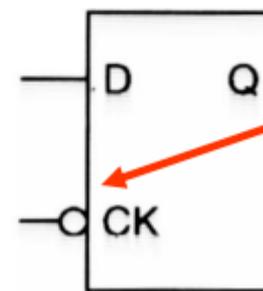


Considerando o clock=1 (nível alto),
 para $D=0$ ($S=0$, $R=1$)
 $\rightarrow Q=0$ e
 para $D=1$ ($S=1$, $R=0$)
 $\rightarrow Q=1$.

Dois tipos de Latches D



Sensível ao nível alto



Sensível ao nível baixo

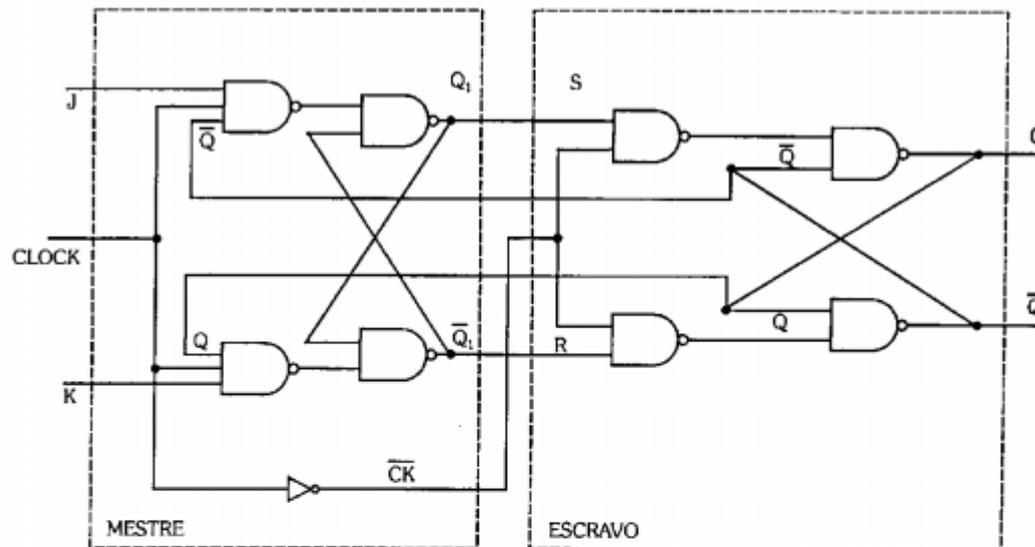
Projeto de Circuitos Sequenciais

Flip-Flops

- Em muitos circuitos, é preciso amostrar o valor de uma linha de dados em um determinado instante, para depois armazenar o valor amostrado. Para isto, existe um circuito derivado do latch, conhecido como flip-flop.
- **Flip-flop** - a mudança do estado não acontece quando a linha de clock assume valor 1, mas durante a transição de 0 para 1 do sinal de clock (transição positiva) ou durante a transição de 1 para 0 (transição negativa) desse mesmo sinal.

Projeto de Circuitos Sequenciais

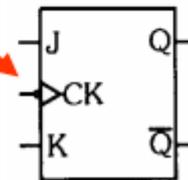
De acordo com o funcionamento de suas entradas, existem diversos tipos de flip-flops, os mais comuns são: JK, D e T.



O flip-flop J-K recebeu este nome em homenagem a Jack Kilby, o inventor do circuito integrado. "Jump-kill", também é utilizado como analogia a "set-reset".

Sensível à transição negativa

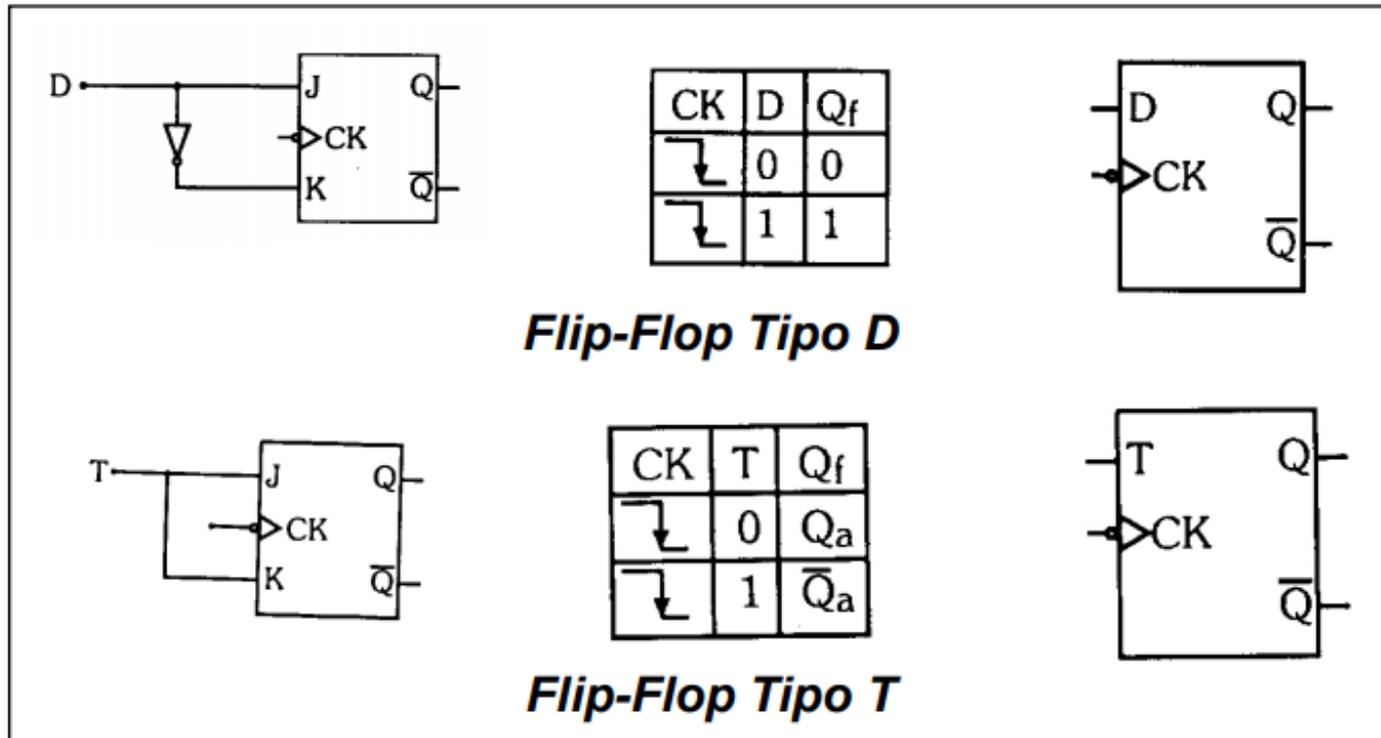
CK	J	K	Q_f
0	X	X	Q_a
1	0	0	Q_a
	0	1	0
	1	0	1
	1	1	\bar{Q}_a



Flip-Flop JK Mestre-Escravo

Projeto de Circuitos Sequenciais

Exemplos de Flip-Flops

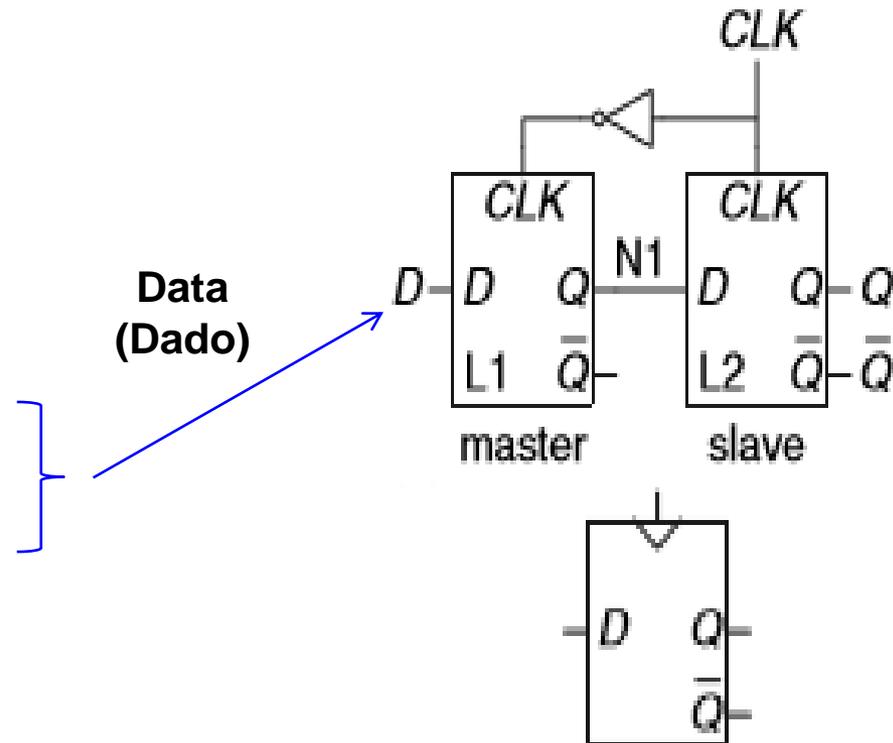


Alguns latches e flip-flops têm duas entradas adicionais, a primeira **Set** ou **Preset** (força a estrutura para o estado $Q=1$) e a segunda **Reset** ou **Clear** (força a estrutura para o estado $Q=0$).

Projeto de Circuitos Sequenciais

Flip-Flop Tipo D (Outra forma de Representação)

Operação do Flip Flop JK			
Tabela Verdade			
J	K	$Q_{\text{próx}}$	Comentário
0	0	Q_{anterior}	mantém (hold)
0	1	0	reestabelece (reset)
1	0	1	estabelece (set)
1	1	$\bar{Q}_{\text{anterior}}$	alterna (Toggle)



Fonte: HARRIS, D. M. and HARRIS, S. L.,
 Digital Design and Computer Architecture,
 Elsevier, Second Edition, 2013.