

**Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Unidade Acadêmica de Sistemas e Computação
Curso de Bacharelado em Ciência da Computação**

Organização e Arquitetura de Computadores

EXERCÍCIOS

Profa: Joseana Macêdo Fachine Régis de Araújo

Carga Horária: 60 horas





Organização e Arquitetura de Computadores

1º Exercício de Avaliação



Exercícios

01. A Tabela ASCII é usada pela maior parte da indústria de computadores para a troca de informações. Cada caractere é representado por um código de oito bits (um byte). Sabendo que o correspondente em ASCII do caractere A é 0100 0001 (em binário), qual o correspondente em ASCII do caractere H (em decimal)?

- a) 65
- b) 72**
- c) 80
- d) 73
- e) 71

Exercícios

02. Se o sistema decimal é utilizado pelos seres humanos, o sistema binário constitui a base para a representação da informação nos computadores. Nesse contexto, um equipamento dispõe de três displays, o primeiro que mostra números em formato decimal, o segundo em binário e o terceiro em hexadecimal, havendo uma correspondência entre as representações. Se o display decimal mostra o número 250, os equivalentes em binário e em hexadecimal mostrarão, respectivamente,

- a) **1111010 e FA.**
- b) 1111010 e FE.
- c) 1111010 e FC.
- d) 1111110 e FE.
- e) 1111110 e FA.

Exercícios

03. (POSCOMP 2016, Questão 19) Quantas cadeias compostas de 16 bits possuem os 5 bits à esquerda com 00000 e os 4 últimos à direita com 1010, isto é, são da forma 00000_____1010?

A) 256

B) 128

C) 91

D) 64

E) 14

Exercícios

04. Quais os valores em decimal do binário (8 bits) 10000001, considerando a representação sem sinal e em Complemento de 2, respectivamente?

- a) 120, -111
- b) 100, -100
- c) 129, -127**
- d) 129, 127
- e) 1, -1

Exercícios

05. Quais os valores em decimal do binário (8 bits) 00000111, considerando a representação sem sinal e em Complemento de 2, respectivamente?

- a) 13, 7
- b) 13, 13
- c) 12, 10
- d) 7, 7**
- e) 7, -7

Exercícios

06. (POSCOMP 2016, Questão 44) A representação em complemento de dois é uma representação binária de números com sinal a qual utiliza o bit mais significativo como bit de sinal, o que facilita o teste se um número inteiro é positivo ou negativo.

De acordo com a regra da representação em complemento de dois, a conversão do número -32658 corresponde ao número:

- A) 1000000001010001.
- B) 1001001001001001.
- C) 1111111100100010.
- D) 1011111100010001.
- E) 1000000001101110.**

Exercícios

07. De acordo com o padrão IEEE, um número em ponto flutuante, com precisão simples, é armazenado como S:E:F, em que S, E e F são armazenados em 1 bit, 8 bits e 23 bits, respectivamente. Qual é o valor decimal do número de ponto flutuante C1E00000 (notação hexadecimal)?

- a) +26
- b) -15
- c) -26
- d) -28**
- e) -59

Exercícios

08. Efetue a subtração abaixo utilizando aritmética de complemento de 2 e marque a alternativa correspondente ao valor correto, considerando a palavra de dados com 8 bits:

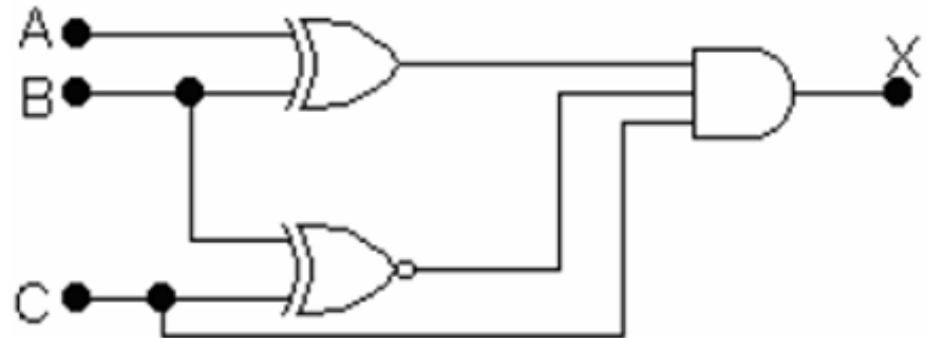
$$(-24)_{10} - (-15)_{10}$$

- a) 00011001
- b) 00000111
- c) 11110111**
- d) 11110011
- e) 11111011

Exercícios

09. Para que a saída X do circuito apresentado na figura abaixo possua valor lógico igual a 1, é necessário que as entradas A, B e C possuam os seguintes valores lógicos:

- a) $A=0$; $B=0$; $C=0$.
- b) $A=1$; $B=1$; $C=1$.
- c) $A=1$; $B=1$; $C=0$.
- d) $A=1$; $B=0$; $C=1$.
- e) $A=0$; $B=1$; $C=1$.**



Exercícios

10. Sobre portas lógicas e suas utilizações em circuitos digitais, assinale a alternativa correta.
- a) Em uma porta lógica tipo NOR (“NÃO-OU”), a saída terá nível lógico “1” sempre que todas suas entradas estiverem em nível lógico “1”.
 - b) Em uma porta lógica tipo NAND (“NÃO-E”), a saída terá nível lógico “0” sempre que ao menos uma de suas entradas estiver em nível lógico “0”.
 - c) Em uma porta lógica tipo XOR (“OU Exclusivo”), a saída terá nível lógico “1” sempre que todas suas entradas estiverem em nível lógico “0”.
 - d) Em uma porta lógica tipo AND (“E”), a saída terá nível lógico “1” sempre que todas suas entradas estiverem em nível lógico “0”.
 - e) **Em uma porta lógica tipo OR (“OU”), a saída terá nível lógico “1” sempre que ao menos uma de suas entradas estiver em nível lógico “1”.**

Exercícios

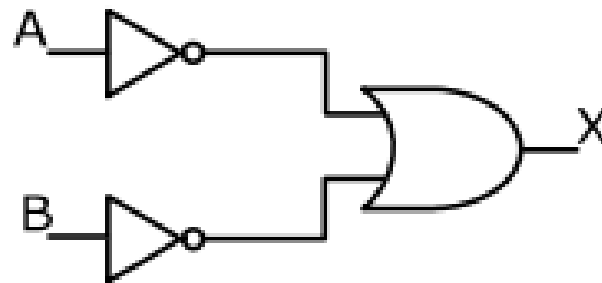
11. O circuito abaixo equivale a uma porta _____.

a) **NAND.**

b) AND.

c) XOR.

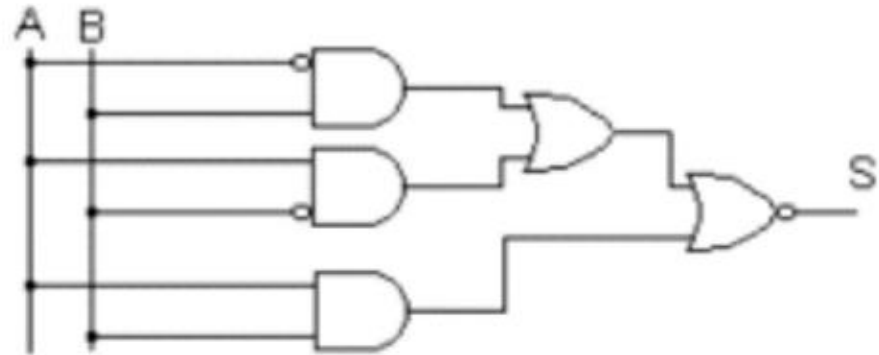
d) OR.



Exercícios

12. A figura abaixo representa um circuito lógico. Este circuito lógico pode ser simplificado pela porta lógica

- a) OR.
- b) NOR.**
- c) XNOR.
- d) XOR.
- e) AND.



Exercícios

13. (POSCOMP 2015, Questão 43) Considere a seguinte função $F(A,B,C) = A*B*C + A*B'*(A'*C)'$, em que o símbolo ' representa o complemento. Como soma de produtos, essa função pode ser simplificada da seguinte forma:

- (A) $A*B*C + A*B' + A*B'*C$
- (B) $A*B*C$
- (C) $A*B*C + A*B'*C' + A*B'*C$
- (D) $(A'+C')*(A'+B)$
- (E) $A*C + A*B'$**

Exercícios

14. (POSCOMP 2015, Questão 47) Considere a função $F(A,B,C,D)$, composta dos termos mínimos (minterm) = {1,3,5,7,9} e dos termos não essenciais (don't care) = {6, 12, 13}. Essa função, como produto de somas, pode ser simplificada da seguinte forma:

(A) $D' + A * C$

(B) $D * (A' + C')$

(C) $(D * A') + (D * C')$

(D) $D * A' + A * B' * C' * D$

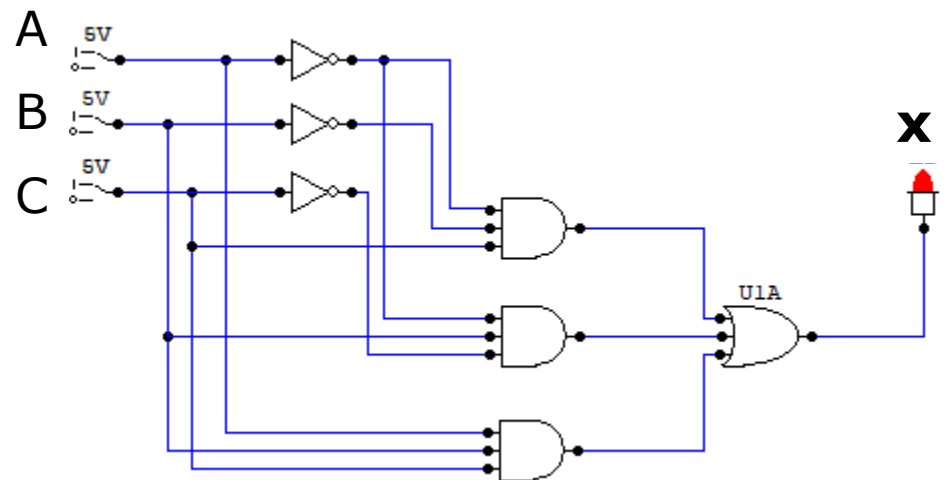
(E) $(A' + C') * (A' + B + C + D) * (A + C + D) * (A + B + C' + D)$

Exercícios

15. Monte o circuito representado pela tabela verdade abaixo.

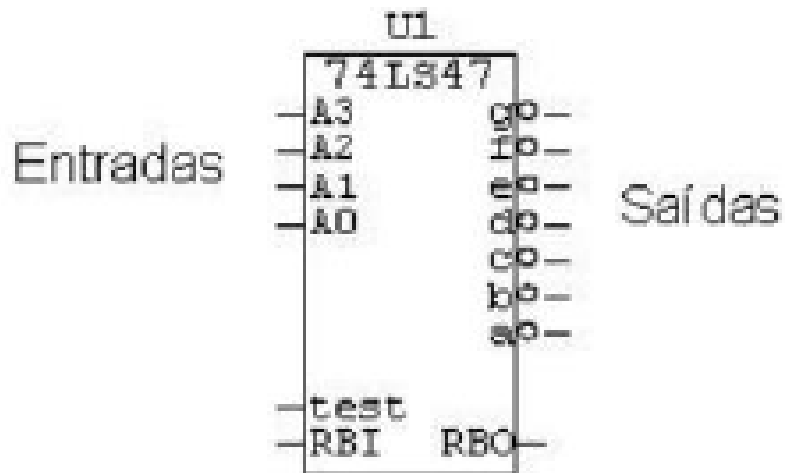
A	B	C	X
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

$$X = \overline{A} \overline{B} C + \overline{A} B \overline{C} + A B C$$



Exercícios

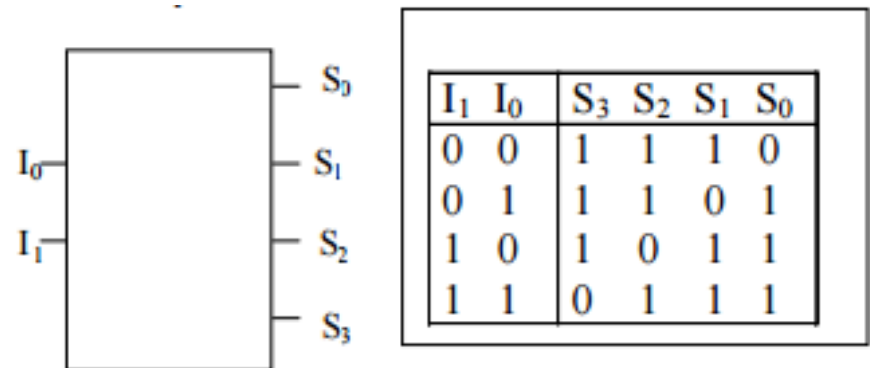
16. O desenho abaixo representa o CI 74LS47, que é um decodificador driver BCD para 7 segmentos. Quais saídas deste CI devem estar acionadas para ser indicado o número "5" no display de 7 segmentos?



- a) a – f – g – c – b
- b) a – c – d – e – f
- c) b – c – e – d – g
- d) a – c – d – f – g**
- e) a – c – d – e – g

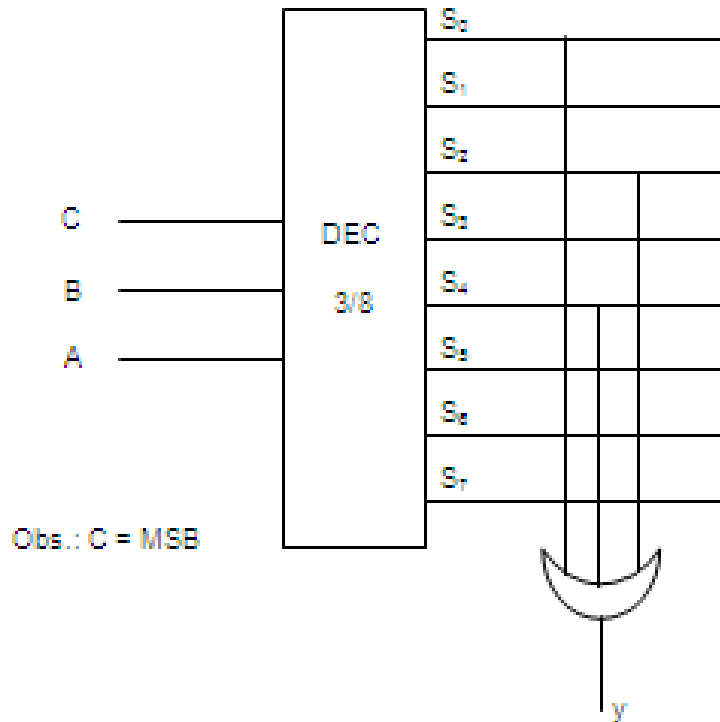
Exercícios

17. Dado o circuito abaixo e a tabela verdade de sua operação, pode-se dizer que o circuito é um
- a) decodificador ativo no nível alto.
 - b) decodificador ativo no nível baixo.**
 - c) multiplexador de 4:1.
 - d) demultiplexador de 1:4.
 - e) Somador de 2 bits.



Exercícios

18. Identifique a função lógica realizada pelo circuito da figura, que utiliza decodificador na sua implementação.



$$A() y = \bar{C}\bar{B}\bar{A} + \bar{C}B\bar{A} + CBA$$

$$B() y = C\bar{B}\bar{A} + \bar{C}\bar{B}\bar{A} + \bar{C}B\bar{A}$$

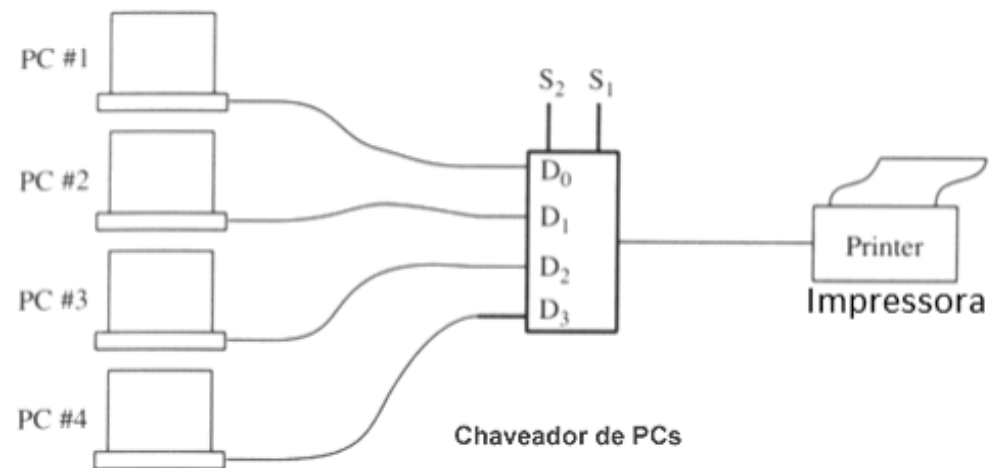
$$C() y = \bar{C}B\bar{A} + \bar{C}\bar{B}A + CBA$$

$$D() y = \bar{C}\bar{B}\bar{A} + \bar{C}B\bar{A} + C\bar{B}\bar{A}$$

Exercícios

19. Qual é o CI que está interligando os microcomputadores à Impressora?

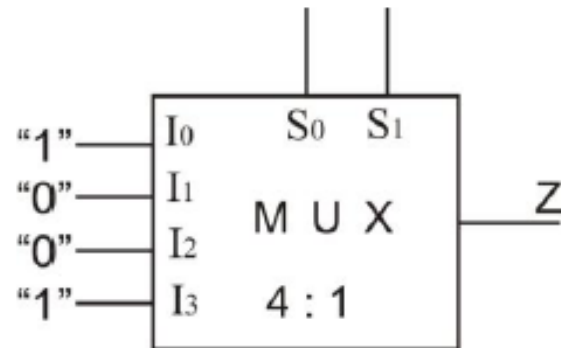
- a) **MUX 4:1**
- b) Decodificador 2:4
- c) MUX 8:1
- d) DEMUX 1:4



Exercícios

20. O circuito da figura é um multiplexador utilizado para implementar uma função lógica. Esta função é de:

- a) uma porta XOR
- b) **uma porta XNOR**
- c) uma porta AND
- d) uma porta OR



Exercícios

21. Acerca dos circuitos digitais, julgue os itens abaixo como verdadeiros ou falsos:

- () O bit de paridade é adicionado ao pacote de dados com o propósito de detecção de erro.
- () Um circuito de paridade par, com n entradas e uma saída, pode ser implementado por um bloco XOR de n entradas.
- () Na convenção de paridade-par (*even-parity*), o valor do bit de paridade é escolhido da tal forma que o número total de dígitos “1” dos dados adicionado ao bit de paridade do pacote seja sempre um número par.

Assinale a alternativa que apresenta a sequência correta.

- a) F - V - V. b) V - V - F. c) V - F - V. **d) V - V - V.**

Exercícios

22. Analise as seguintes afirmativas sobre somadores, assinalando com V as verdadeiras e com F as falsas.

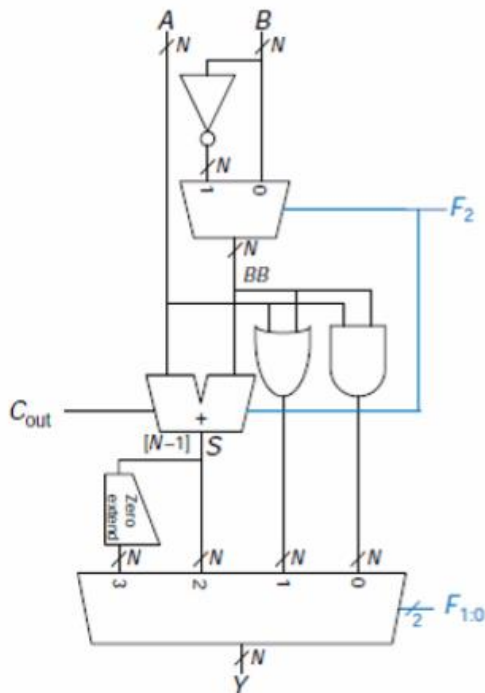
- () O somador-completo aceita dois bits de entrada e um carry de entrada, e gera uma saída de soma e um carry de saída.
- () O meio-somador aceita três dígitos binários em suas entradas e produz dois dígitos binários em suas saídas, um bit de soma e um bit de carry.
- () Em um somador completo paralelo, o primeiro estágio pode ser um meio somador.

Assinale a alternativa que apresenta a sequência CORRETA.

- a) F F F. **b) V F V.** c) V V V. d) F F V.

Exercícios

23. Qual a operação realizada pela ULA de N bits apresentada abaixo, para F2, F1 e F0 iguais 0, 1 e 0, respectivamente.



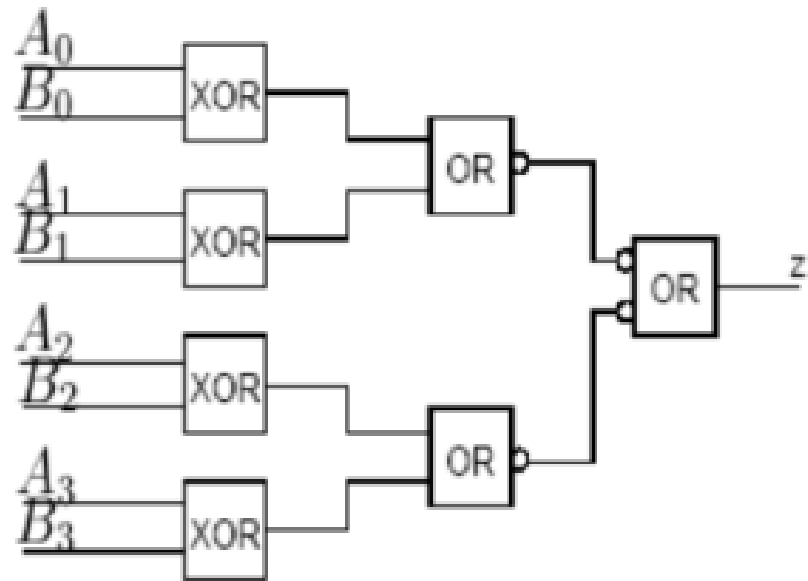
- a) $A - B$.
- b) $A \text{ OR } B$.
- c) $A + B$.
- d) $A \text{ AND } B$.

Exercícios

24. Comparadores de magnitude são muito comuns em sistemas digitais. A figura representa um diagrama de um comparador de 4 bits.

A saída Z será igual a zero quando

- a) $A > B$.
- b) $A < B$.
- c) $A \neq B$.
- d) $A = B$.**



Exercícios

25. Assinale a alternativa que preenche CORRETAMENTE as lacunas abaixo.

Flip-flops e latches são circuitos digitais utilizados, entre outros, como elementos de memória para armazenar os estados de circuitos _____. Os flip-flops e os latches possuem uma entrada (sinal de controle) utilizada por um circuito externo para iniciar o processo de armazenamento da informação no componente. A principal diferença entre esses componentes é que no _____ o sinal de controle é sensível à borda (de subida ou de descida), enquanto que no _____ o sinal de controle é sensível ao nível (zero ou um).

- a) combinacionais – latch – flip-flop.
- b) sequenciais – latch – flip-flop.
- c) analógicos – flip-flop – latch.
- d) **sequenciais – flip-flop – latch.**
- e) combinacionais – flip-flop – latch.

Exercícios

26. Uma estrutura muito comum e útil na eletrônica digital é o flip-flop. Acerca da tipologia e características dos flip-flops, analise as afirmativas abaixo.

- I. Flip-flop JK: na transição do clock, a saída é chaveada quando as entradas $J = K = 1$.
- II. Flip-flop D: utiliza o JK como parte interna, porém, com as entradas J e K conectadas, originam a única entrada D.
- III. Flip-flop JK: na transição do clock, a saída é igual à anterior quando as entradas $J = K = 0$.
- IV. Flip-flop T: utiliza o JK com as entradas conectadas a um inversor (quando $J = 1$, $K = 0$ e vice versa).

Estão corretas apenas as afirmativas:

- a) I e II. b) I e IV. c) II e IV. **d) I e III.** e) II e III.

Exercícios

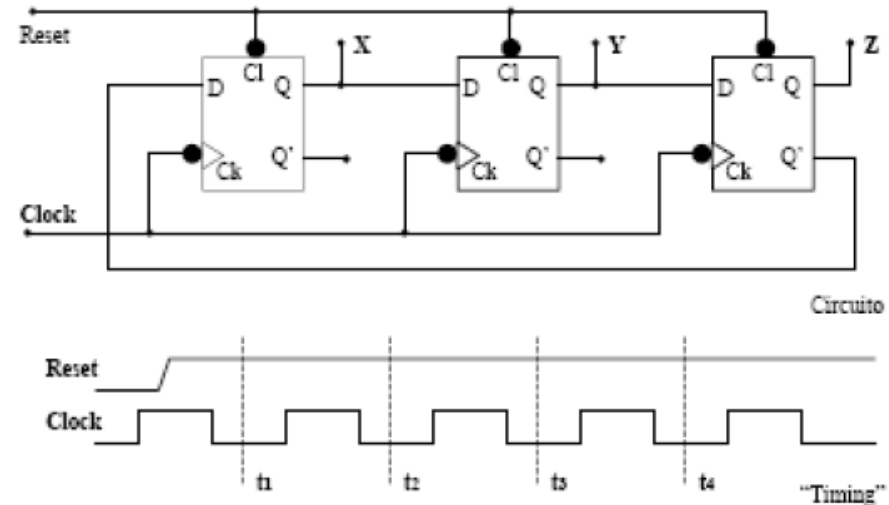
27. Qual registrador de deslocamento para oito bits precisa de oito pulsos de clock para disponibilizar todos os bits em suas saídas?
- a) Entrada paralela e saída paralela.
 - b) Entrada paralela e saída serial.
 - c) **Entrada serial e saída paralela.**
 - d) Entrada serial e saída serial.

Exercícios

28. Com base no circuito digital e no diagrama de tempo (“timing”) mostrados ao lado, responda a pergunta a seguir (o círculo em preto representa ativo em nível baixo).

Nos instantes t_1 , t_2 , t_3 e t_4 , as saídas XYZ apresentam valores iguais a

- a) 000, 100, 110, 111.
- b) 011, 001, 000, 100.
- c) 100, 110, 111, 011.**
- d) 001, 011, 111, 110.



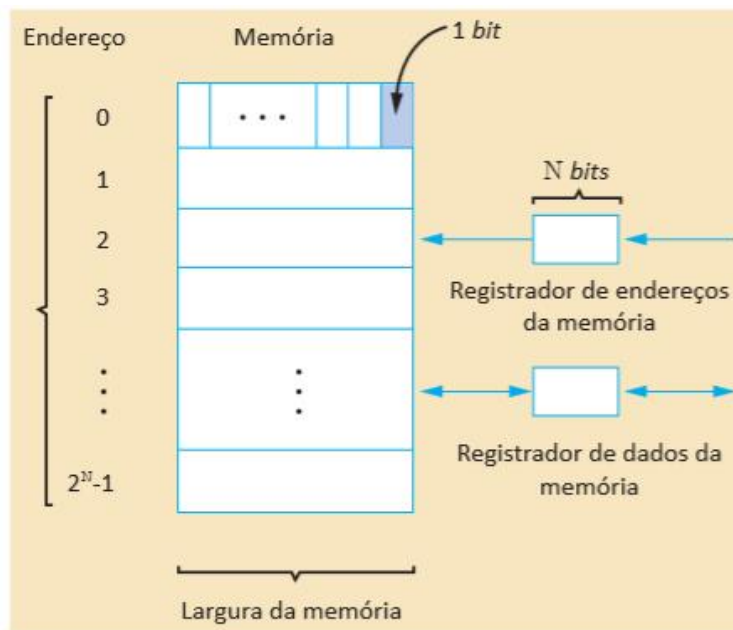
Exercícios

29. Uma memória RAM armazena 32 palavras. Essa memória nada mais é do que um conjunto de 32 registradores de 4 bits cada um. Com base nessa informação, assinale a alternativa correta.

- a) **Para acessar todos os endereços dessa memória, o barramento de endereço deve apresentar, no mínimo, 5 bits.**
- b) O tempo de acesso de leitura e escrita de cada endereço depende da posição física dos endereços na memória.
- c) A informação 1111 está armazenada no endereço 0000.
- d) A capacidade dessa memória é de 512 bits.

Exercícios

30. ENADE 2017, Bacharelado em Computação, Questão 12.



Considerando o funcionamento de uma memória de acesso aleatório, avalie as afirmações a seguir.

- I. Se a largura do registrador de endereços da memória for de 8 bits, o tamanho máximo dessa unidade de memória será de 256 células.
- II. Se o registrador de dados da memória tiver 8 bits, será necessária mais que uma operação para armazenar o valor inteiro 2 024 nessa unidade de memória.
- III. Se o registrador de dados da memória tiver 12 bits, é possível que a largura da memória seja de 8 bits.

Exercícios

30. ENADE 2017, Bacharelado em Computação, Questão 12.

É correto o que se afirma em

A I, apenas.

B III, apenas.

C I e II, apenas.

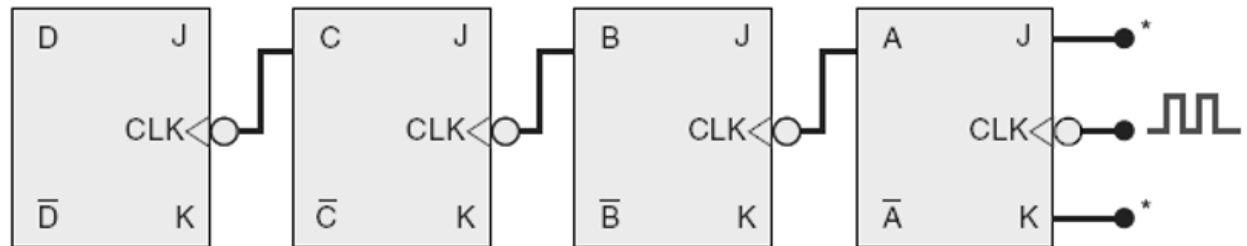
D II e III apenas.

E I, II e III.

Exercícios

31. Considere que o contador abaixo esteja com as entradas $J=K=1$ e o flip-flop D é o MSB. Analise e, em seguida, assinale a alternativa que indica corretamente a condição do contador após o 13º pulso de clock.

- a) 1011
- b) 1101**
- c) 0000
- d) 1010





Organização e Arquitetura de Computadores I

2º Exercício de Avaliação



Exercícios

32. Para as afirmações a seguir, assinale a alternativa correta.

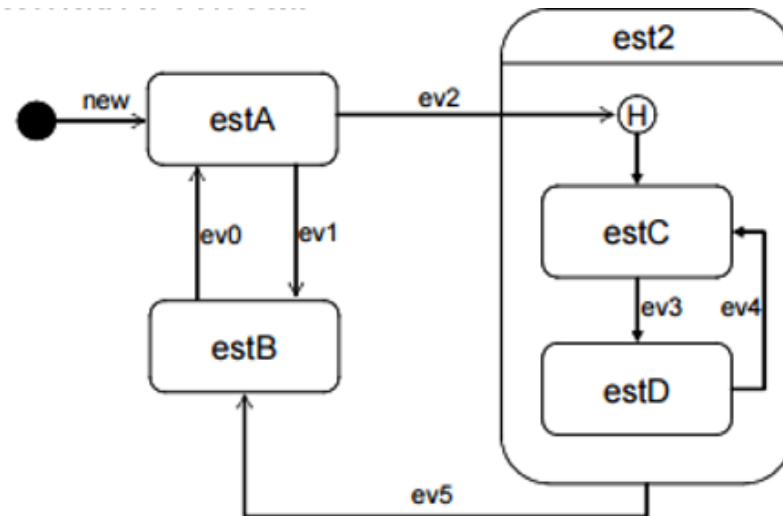
- a) **Máquina de Moore: as entradas interferem diretamente na saída, somente nos estados futuros.**
- b) Máquina de Mealy: as saídas dependem apenas do Estado Atual.
- c) Máquina de Mealy: as entradas interferem nos estados futuros e também na saída.
- d) Máquina de Moore: as saídas dependem da entrada e do Estado Presente.

Exercícios

33. Considerando o diagrama de estados abaixo e a sequência de eventos listada abaixo, marque a alternativa correta.

Eventos:

new,
ev1,
ev0,
ev2,
ev3,
ev5,
ev0,
ev2.

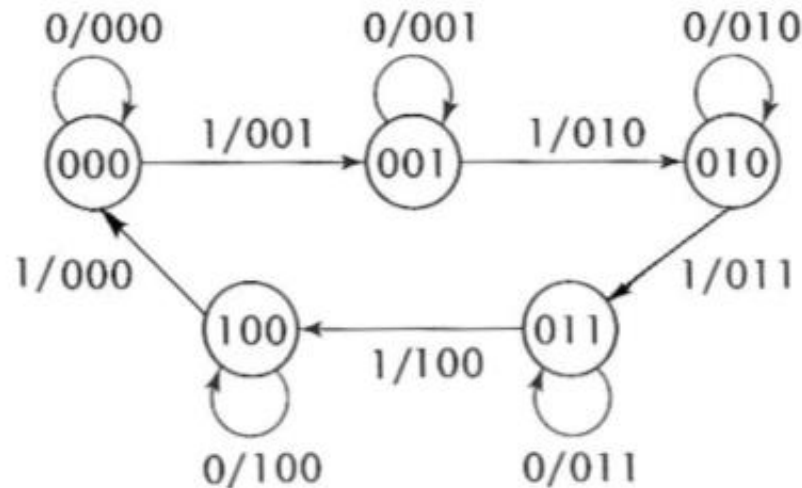


- a) Após a ocorrência de eventos listada o objeto encontra-se no estado estA.
- b) **Após a ocorrência de eventos listada o objeto encontra-se no estado estC.**
- c) Após a ocorrência de eventos listada o objeto encontra-se no estado estB.
- d) Após a ocorrência de eventos listada o objeto encontra-se no estado estD.
- e) Após a ocorrência de eventos listada o objeto encontra-se no estado inicial.

Exercícios

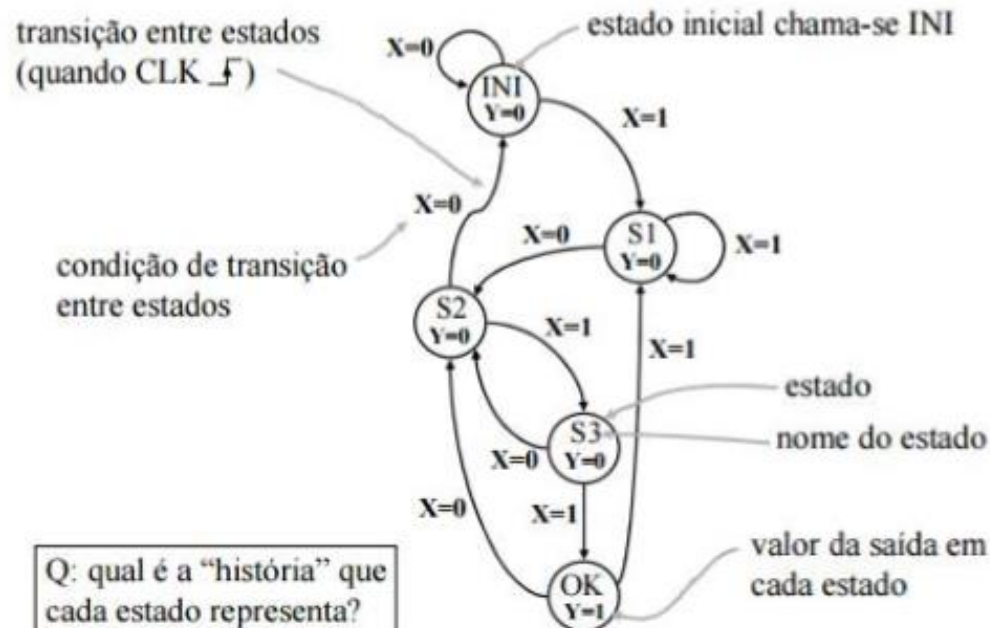
34. Seja a máquina de estados finitos representada pelo diagrama ao lado, determine o modelo (Mealy ou Moore) e o circuito digital ao qual ela corresponde.

- Modelo de Mealy correspondente a um contador módulo 5.**
- Modelo de Moore correspondente a um contador módulo 5.
- Modelo de Mealy correspondente a um identificador da sequência 100.
- Modelo de Moore correspondente a um identificador da sequência 100.
- Modelo de Mealy correspondente a um flip-flop JK.



Exercícios

35. Qual o circuito representado pelo diagrama de transição de estados abaixo?
- a) circuito com entrada X e saída Y=1 quando é detectada em X a sequência 1001.
 - b) circuito com entrada X e saída Y=1 quando é detectada em X a sequência 1011.**
 - c) circuito com entrada X e saída Y=1 quando é detectada em X a sequência 0001.
 - d) circuito com entrada X e saída Y=1 quando é detectada em X a sequência 1101.



Exercícios

36. Quais elementos são integrantes de uma Unidade Central de Processamento?
- a) Unidade de Controle, ULA e HD.
 - b) **Unidade de Controle, ULA e Registradores.**
 - c) Unidade de Controle, ULA e Memória Principal RAM R/W.
 - d) Processador, ULA, HD e CD.
 - e) ULA, Registradores e Memória Principal RAM R/W.

Exercícios

37. Sobre as arquiteturas de computadores RISC e CISC, considere as seguintes afirmativas:

- I. Um conjunto de instruções reduzidas e apenas uma instrução por ciclo consiste em característica comum das arquiteturas CISC.
- II. As instruções RISC são mais simples que as instruções CISC, e levam aproximadamente a mesma quantidade de tempo, quando comparadas entre si, para serem executadas.
- III. Por ser uma tecnologia mais nova, e por empregar o conceito de instruções simples, a arquitetura RISC emprega um conjunto maior e mais amplo de instruções que a arquitetura CISC.

Assinale a alternativa que indica todas as afirmativas corretas.

- a) **É correta apenas a afirmativa II.**
- b) É correta apenas a afirmativa III.
- c) São corretas apenas as afirmativas I e II.
- d) São corretas as afirmativas I, II e III.

Exercícios

38. Qual a operação realizada por cada linha do trecho de código em Assembly (RISC-V) abaixo?

<code>addi t0, zero, 3</code>	$t0 = 0 + 3, t0 = 3$
<code>addi t1, zero, 8</code>	$t1 = 0 + 8, t1 = 8$
<code>add t2, t1, t0</code>	$t2 = t1 + t0, t2 = 11$
<code>sub t3, t2, t1</code>	$t3 = t2 - t1, t3 = 3$

Exercícios

39. Qual a operação realizada pelo trecho de código em Assembly (MIPS) abaixo?

```
addi $s1, $0, 3
addi $s2, $0, 8
addi $s3, $0, 2
addi $s4, $0, 4
```

```
add $s5, $s2, $s1
sub $s6, $s3, $s4
```

Exercícios

40. Considere o trecho de código abaixo (Assembly de uma máquina RISC-V, 32 bits), informe qual a operação realizada e qual o conteúdo dos registradores `s0` e `s1` ao final da execução.

```
# s0 = i, s1 = sum
addi s1, zero, 0x0
addi s0, zero, 0x0
addi t0, zero, 0x5
for:
    beq s0, t0, done
    add s1, s1, s0
    addi s0, s0, 0x1
j for
done:
```

Exercícios

41. Para o trecho de código em Assembly (RISC-V) abaixo,

- re-escreva as instruções da coluna **Assembly** sem utilizar pseudoinstrução e
- justifique os valores das colunas **pc**, **Instrução** e **Registradores**.

pc	Instrução	Assembly	Registradores
00000200	0x00300293	<i>li t0, 3</i>	<i>t0=3</i>
00000204	0x00800313	<i>li t1, 8</i>	<i>t1=8</i>
00000208	0x005303b3	<i>add t2, t1, t0</i>	<i>t2=11, t0:3, t1:8</i>
0000020c	0x40638e33	<i>sub t3, t2, t1</i>	<i>t3=3, t2:11, t1:8</i>

Exercícios

42. Para o trecho de código do exercício anterior,

- re-escreva as instruções da coluna **Assembly** sem utilizar pseudoinstrução,
- justifique os valores das colunas **pc** e **Instrução** e
- informe o significado de $-0x4$ na última instrução?

pc	Instrução	Assembly
00000200	0xfe010113	addi sp, sp, -32
00000204	0x00068613	mv a2, a3
00000208	0xffdff0ef	jal pc - 0x4

Exercícios

43. Em se tratando do Nível da Microarquitetura, assinale a alternativa INCORRETA:
- a) É o nível cuja função é implementar a camada ISA.
 - b) Uma Microarquitetura é dividida em uma Parte Operativa (Caminho de Dados) e uma Parte de Controle.
 - c) **Máquinas com microarquiteturas diferentes não podem ter a mesma arquitetura do conjunto de instruções e desta forma, não podem executar os mesmos programas.**
 - d) Para controlar um caminho de dados, torna-se necessário um conjunto de sinais de controle que atuam sobre os componentes do nível da lógica digital. Os valores desses sinais de controle especificam as operações a serem executadas em um ciclo do caminho de dados.

Exercícios

44. Na Microarquitetura RISC-V apresentada na figura abaixo está descrita a execução de qual instrução?

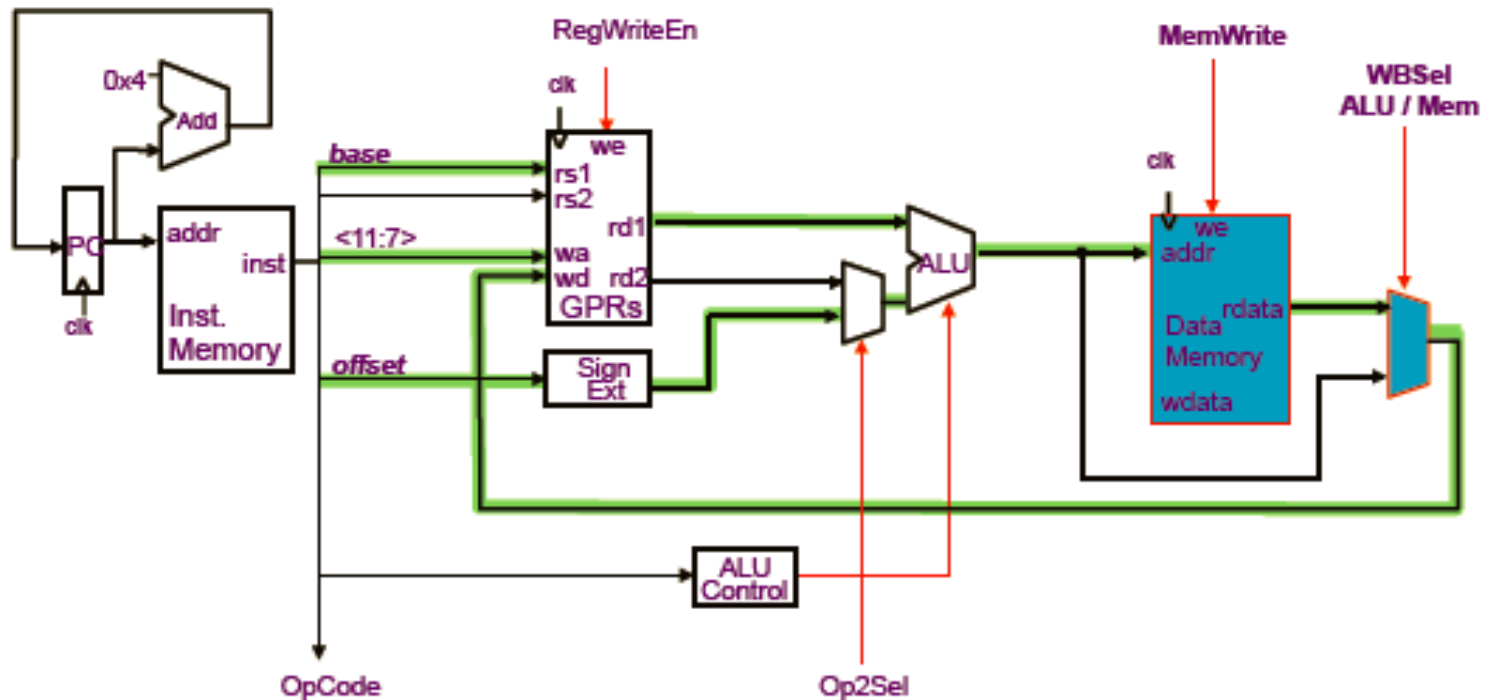
a) add

b) addi

c) jal

d) lw

e) sw



Exercícios

45. Na execução do código apresentado no Exercício 39, identifique (se ocorrer):

- a) Fluxo sequencial;
- b) Chamada a procedimento;
- c) Traps/Exceções;
- d) Interrupções.

Exercícios

46. Durante a execução de programas, alguns eventos inesperados podem ocorrer ocasionando um desvio forçado no seu fluxo de execução. Dessa forma, é correto afirmar que:
- I. Uma “exceção” é sempre gerada por algum evento externo ao programa e, nesse caso, independe da instrução que está sendo executada.
 - II. Uma “exceção” é semelhante a uma “interrupção”, sendo que a “exceção” é resultado direto da execução de uma instrução do próprio programa, como a divisão de um número por zero ou a ocorrência de overflow em uma operação aritmética.
 - III. As “exceções” são decorrentes de eventos assíncronos, ou seja, não relacionados à instrução do programa corrente.
 - IV. Um evento é denominado “assíncrono” quando é resultado direto da execução do programa corrente.

O correto está apenas em: a) I e II. b) I. c) III e IV. **d) II.**

Exercícios

47. A partir das informações da tabela, que apresenta características de técnicas de gerenciamento de entrada e saída (E/S) de um sistema de computação, assinale a opção que nomeia corretamente as técnicas I, II e III, respectivamente.

- a) E/S programada, E/S controlada por interrupção e acesso direto à memória (DMA)
- b) E/S controlada por interrupção, E/S programada e acesso direto à memória (DMA)
- c) E/S controlada por interrupção e acesso direto à memória (DMA) e E/S programada
- d) acesso direto à memória (DMA); E/S Programada, E/S Controlada por interrupção
- e) acesso direto à memória (DMA), E/S controlada por interrupção e E/S programada

característica	processador pode executar outras instruções enquanto o módulo de E/S executa o seu trabalho	é preciso esperar que a operação de E/S termine
não há envolvimento do processador	técnica I	
processador controla operação de E/S	técnica II	técnica III

Exercícios

48. Considere que uma determinada instrução seja formada por dois campos: um código de operação e um operando. O campo referente ao operando contém o operando em si, ao invés de um endereço ou qualquer outra informação que descreva onde o operando está armazenado. Nesse caso, foi utilizado o modo de endereçamento:

- a) **Imediato.**
- b) Direto.
- c) Registrador.
- d) Indireto de registrador.
- e) Indexado.

Exercícios

49. (POSCOMP 2003 - 22) Para que serve a segmentação de um processador (pipelining)?

- a) **Permitir a execução de mais de uma instrução por ciclo de relógio.**
- b) Aumentar a velocidade do relógio.
- c) Simplificar o conjunto de instruções.
- d) Reduzir o número de instruções estáticas nos programas.
- e) Simplificar a implementação do processador.

Exercícios

50. (POSCOMP 2004 - 30) Ao segmentar um processador, transformando-o num pipeline, obtém-se:
- a) Redução no número de ciclos necessários para executar uma instrução.
 - b) Redução no número de ciclos necessários para executar um programa.**
 - c) Redução no número de ciclos necessários para tratar uma exceção.
 - d) Redução no número de ciclos necessários para tratar uma interrupção.
 - e) O circuito do processador fica mais simples.

Exercícios

51. (POSCOMP 2008 - 54) Um processador tem cinco estágios de pipeline. Suponha que cada uma das etapas do processador (busca, decodificação, execução, leitura ou escrita de dados em memória e escrita em registrador) seja executada em 5 ns.

O tempo total para que 5 instruções sejam executadas em pipeline, supondo que não haja dependência de dados entre as instruções é:

- a) 15 ns
- b) 25 ns
- c) 30 ns
- d) 45 ns**
- e) 50 ns

Exercícios

52. Sobre a memória dos computadores, é INCORRETO afirmar:

- a) RAM é de acesso randômico, pois podemos acessar todos os endereços com velocidade equivalente. Essa memória é volátil, isto é, seu conteúdo é perdido quando o computador é desligado.
- b) ROM permite somente leitura. Não podemos gravar nesse tipo de memória. É não volátil, ou seja, mantém os dados mesmo que o computador seja desligado.
- c) EPROM e FLASH são memórias não voláteis regraváveis. Alguns tipos dessa categoria de chips demandam hardware especial, capaz de emitir luz ultravioleta para regravação.
- d) **Sempre que adicionarmos memória RAM a um computador ele processará mais rápido. Se alterarmos a memória RAM de um computador de 1 Gbyte para 2 Gbyte, ele processará o mesmo programa na metade do tempo.**
- e) DDR e DDR2 são padrões para memória RAM disponíveis em diversas velocidades de trabalho. O suporte da placa-mãe do computador é determinante para a escolha do tipo de memória mais adequada, quando se deseja fazer um upgrade na memória de um computador.

Exercícios

53. (MACHADO, 2004) A memória principal é o local onde são armazenados instruções e dados no computador. Ela pode ser classificada em função da volatilidade. Com relação à memória cache, marque a alternativa INCORRETA.
- a) A memória cache é uma memória volátil de alta velocidade, porém com pequena capacidade de armazenamento.
 - b) A memória cache é uma memória volátil de alta velocidade com grande capacidade de armazenamento.**
 - c) O tempo de acesso a um dado contido na memória cache é muito menor do que se este dado estivesse na memória principal RAM R/W.
 - d) A função da memória cache é minimizar a disparidade existente entre a velocidade com que o processador executa as instruções e a velocidade com que dados são acessados na memória principal RAM R/W.
 - e) A memória cache possui uma capacidade de armazenamento inferior à memória RAM.

Exercícios

54. (CESPE 2009, CEHAP PB) A respeito de conceitos de informática, assinale a opção correta.
- a) A quantidade de dados que podem ser armazenados no disco rígido é o fator que mais influencia na velocidade de processamento do computador.
 - b) A memória Principal RAM R/W é responsável por armazenar temporariamente as informações de programas em execução.**
 - c) Quanto maior for a quantidade de memória ROM, maior será a capacidade de armazenamento de dados do computador.
 - d) O CD, que constitui dispositivo de armazenamento de dados com memória flash, permite a conexão a uma saída USB do computador.