



Universidade Federal de Campina Grande
Departamento de Sistemas e Computação
Disciplina: *Organização e Arquitetura de Computadores I*
Prof. Joseana Macêdo Fchine Régis de Araújo

Lista de Exercícios Adicional (Flip-Flop)

DATA: 30/06/2017

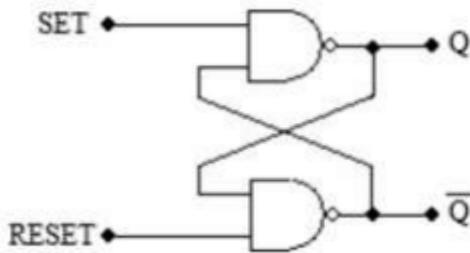
Matrícula	Nome	Nota
-----------	------	------

1. Assinale a alternativa que preenche CORRETAMENTE as lacunas abaixo.

Flip-flops e latches são circuitos digitais utilizados, entre outros, como elementos de memória para armazenar os estados de circuitos _____. Os flip-flops e os latches possuem uma entrada (sinal de controle) utilizada por um circuito externo para iniciar o processo de armazenamento da informação no componente. A principal diferença entre esses componentes é que no _____ o sinal de controle é sensível ao nível (zero ou um), enquanto que no _____ o sinal de controle é sensível à borda (de subida ou de descida).

- combinacionais – latch – flip-flop.
- sequenciais – latch – flip-flop.**
- analógicos – flip-flop – latch.
- sequenciais – flip-flop – latch.
- combinacionais – flip-flop – latch.

2. Analise o circuito e assinale a alternativa correta.



- O circuito é um latch de portas NOR que atua como um flip-flop.
- RESETAR o circuito significa colocar a saída no nível lógico zero, ou seja, $\bar{Q} = 0$.
- SETAR o circuito significa colocar a saída Q no nível lógico um, ou seja, $Q = 1$.**
- Analisando o circuito, constata-se que, para quaisquer valores de SET e RESET, a saída Q será sempre 1.

3. Sobre os flip-flops e latches, é VERDADEIRO afirmar:

- Quando as entradas de um flip-flop JK estiverem no nível alto, a saída assumirá nível lógico contrário ao da saída anterior.**
- O flip-flop T é obtido a partir de um flip-flop JK mestre-escravo com a entrada K invertida (por inversor) em relação à entrada J.
- O flip-flop D é obtido a partir de um flip-flop JK mestre-escravo com as entradas J e K curto-circuitadas (uma ligada à outra).
- No latch SR, a condição de $S = R = 1$ é permitida.
- Nas saídas dos flip-flops, existe, apenas, um estado de saída possível.

4. A tabela-verdade abaixo corresponde ao flip-flop (biestável) cujo símbolo é mostrado na figura

R	S	J	K	Ck	Q_{n+1}
0	1	X	X	X	0
1	0	X	X	X	1
1	1	0	0	\uparrow	Q_n
1	1	0	1	\uparrow	0
1	1	1	1	\uparrow	1
1	1	1	1	\uparrow	\bar{Q}_n

- 1.
- 2.
- 3.**
- 4.

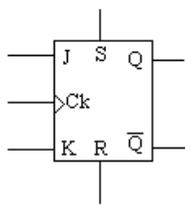


figura 1

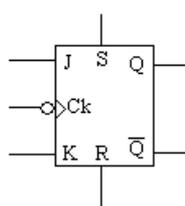


figura 2

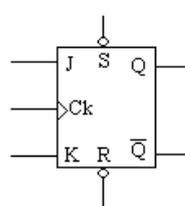


figura 3

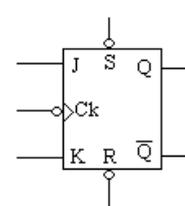
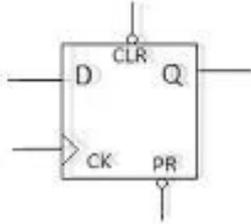


figura 4

5. Quando se refere à entrada CLK de um flip-flop, o termo “disparada por borda” significa que:
- essa entrada não é ativada por nenhuma parte do sinal de pulso.
 - essa entrada é ativada pela transição do sinal de clock.**
 - o flip-flop está trabalhando no seu modo assíncrono.
 - essa entrada é ativada por um sinal senoidal.

6. Considere o flip-flop abaixo.



De acordo com o funcionamento do flip-flop em questão, todas as alternativas estão corretas, EXCETO uma, assinale-a.

- A entrada Clear força a saída Q para nível baixo.
 - O flip-flop tipo D armazena o estado da entrada D na saída Q até que o sinal de clock seja acionado.
 - A entrada Preset força a saída Q para nível alto.
 - A saída Q será invertida da saída atual sempre que o sinal de clock for acionado.**
7. Com relação às afirmações abaixo, assinale a alternativa correta.
- Um flip-flop T pode ser construído, ligando junto os terminais J e K de um flip-flop JK.
 - Um flip-flop D pode ser construído, ligando junto os terminais J e K de um flip-flop JK.**
 - Quando as entradas de um flip-flop JK estiverem no nível baixo, a saída assumirá nível lógico contrário ao da saída anterior.
 - Quando as entradas de um flip-flop JK estiverem no nível alto, a saída assumirá nível lógico igual ao da saída anterior.
8. Se a entrada estiver em estado alto, o flip-flop inverte seu estado sempre que a entrada de clock sofrer uma modificação. Se a entrada for baixa, o flip-flop mantém o valor do seu estado. Este tipo de circuito corresponde ao:
- flip-flop D.
 - latch S-R.
 - flip-flop J-K.
 - flip-flop T.**
 - todos os flip-flops operam desta maneira.

SUCESSO !